

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-200887

(43) Date of publication of application : 18.07.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822

(21) Application number : 11-168569

(71)Applicant : SIEMENS AG

(22) Date of filing : 15.06.1999

(72)Inventor : WURSTER KAI
SCHREMS MARTIN
FAUL JUERGEN
MORHARD KLAUS-DIETER
LAMPRECHT ALEXANDRA
DEQUIEDT ODILE

(30)Priority

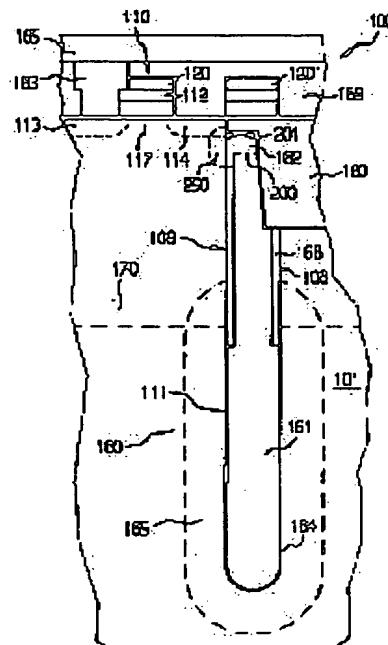
Priority number : 98 98110933 Priority date : 15.06.1998 Priority country : EP

(54) TRENCH CAPACITOR AND MANUFACTURE THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To enable the connection of a trench capacitor with a transistor to be improved in controllability.

SOLUTION: A trench capacitor is equipped with a trench 108 provided with an upper region 109 and a lower region 111 formed on a substrate 101, an isolation collar 168 formed on an upper region 100, a buried well 170 that passes through the lower region 111, a buried plate 165 formed around the lower region 111 to serve as an outer capacitor electrode, and a dielectric layer 164 which covers the lower region 111 and the isolation collar 108. In this case, the substrate 101 is equipped



with a buried contact 250 which is formed through implantation, plasma doping and/or vapor phase doping.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-200887

(P2000-200887A)

(43)公開日 平成12年7月18日(2000.7.18)

(51)Int.Cl.⁷

H 01 L 27/108
21/8242
27/04
21/822

識別記号

F I

H 01 L 27/10
27/04

6 2 5 A 5 F 0 3 8
C 5 F 0 8 3

テマコート*(参考)

審査請求 未請求 請求項の数16 OL (全20頁)

(21)出願番号 特願平11-168569

(22)出願日 平成11年6月15日(1999.6.15)

(31)優先権主張番号 98110933.3

(32)優先日 平成10年6月15日(1998.6.15)

(33)優先権主張国 欧州特許庁 (EP)

(71)出願人 390039413

シーメンス アクチエンゲゼルシャフト
S I E M E N S A K T I E N G E S E L
L S C H A F T

ドイツ連邦共和国 D-80333 ミュンヘ
ン ヴィッテルスバッハーブラツツ 2

(72)発明者 カイ ヴルスター

ドイツ連邦共和国 ドレスデン カタリネ
ンシュトラーゼ 19

(74)代理人 100061815

弁理士 矢野 敏雄 (外3名)

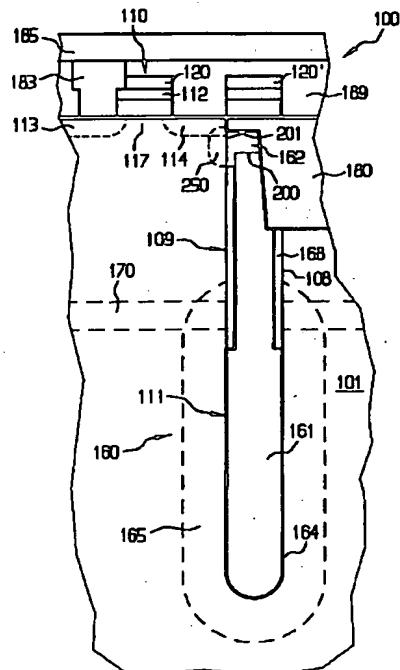
最終頁に続く

(54)【発明の名称】トレンチキャパシタおよびその製造方法

(57)【要約】

【課題】サブストレート101に形成されていて上側領域109および下側の領域111を有しているトレンチ108と、上側領域に形成されているアイソレーションカラー168と、下側領域を通る埋め込みウェル170と、下側領域の回りに形成されている外側のキャパシタ電極としての埋め込みプレート165と、下側領域およびアイソレーションカラーを被覆する誘電体層164と、導電性のトレンチ充填物161とを備えて成るトレンチキャパシタを、トランジスタの接触接続のコントロール性が改善されるようにする。

【解決手段】サブストレートは、インプランテーション、プラズマドーピングおよび/または気相ドーピングによって形成される埋め込みコンタクト250を有している。



1

【特許請求の範囲】

【請求項1】 サブストレート(101)に形成されておりかつ上側の領域(109)および下側の領域(111)を有しているトレンチ(108)と、前記トレンチ(108)の上側の領域(109)に形成されているアイソレーションカラー(168)と、前記サブストレート(101)に形成されておりかつ前記トレンチ(108)の下側の領域(111)を少なくとも部分的に通つて導かれている埋め込みウェル(170)と、前記トレンチ(108)の下側の領域(111)の回りに形成されている外側のキャパシタ電極としての埋め込みプレート(165)と、前記トレンチ(108)の下側の領域(111)および前記アイソレーションカラー(168)を被覆するための、キャパシタ誘電体としての誘電体層(164)と、前記トレンチ(108)に充填されている導電性のトレンチ充填物(161)とを備えて成るトレンチキャパシタにおいて、前記サブストレート(101)は、インプランテーション、プラズマドーピングおよび／または気相ドーピングによって形成される埋め込みコンタクト(250)を有していることを特徴とするトレンチキャパシタ。

【請求項2】 前記トレンチ(108)において導電性のトレンチ充填物(161)の上方に、導電性の埋め込みブリッジ(162)が存在している請求項1記載のトレンチキャパシタ。

【請求項3】 前記トレンチ(108)は、法兰ジ形式の形状を有しておりかつ該トレンチ(108)の法兰ジ形式の形状の拡幅された領域において、前記導電性のトレンチ充填物(161)中に中空室(172)が形成されている請求項1または2記載のトレンチキャパシタ。

【請求項4】 前記導電性の埋め込みブリッジ(162)は、前記導電性のトレンチ充填物(161)と前記埋め込みコンタクト(250)との間の接続を形成する請求項1から3までのいずれか1項記載のトレンチキャパシタ。

【請求項5】 前記埋め込みコンタクト(250)の境界面(201)に、トンネル層(205)が配置されている請求項1から4までのいずれか1項記載のトレンチキャパシタ。

【請求項6】 前記トンネル層(205)は酸化物、窒化物または酸窒化物から成っている請求項1から5までのいずれか1項記載のトレンチキャパシタ。

【請求項7】 該トレンチキャパシタは埋め込みコンタクト(250)を介してトランジスタ(110)に接続されている請求項1から6までのいずれか1項記載のトレンチキャパシタ。

【請求項8】 埋め込みウェル(170)をサブストレート(101)に形成し、上側の領域(109)および下側の領域(111)から成るトレンチ(108)を前

10

20

30

40

50

2

記サブストレート(101)に形成し、前記トレンチ(108)の上側の領域(109)にアイソレーションカラー(168)を形成し、前記トレンチ(108)の下側の領域(111)の周囲においてサブストレート(101)中に、外側のコンデンサ電極として埋め込みプレート(165)を形成し、前記トレンチ(108)の下側の領域(111)および前記アイソレーションカラー(168)の内側を被覆するためのコンデンサ誘電体としての誘電層(164)を形成しつつ前記トレンチ(10)に内側のコンデンサ電極としての導電性のトレンチ充填物(161)を充填するトレンチキャパシタの製造方法において、インプランテーション、プラズマドーピングおよび／または気相ドーピングを用いてドープ物質を導入することによって埋め込みコンタクト(250)を形成することを特徴とするトレンチキャパシタの製造方法。

【請求項9】 埋め込みコンタクト(250)を形成するためにドープ物質を斜めまたは等方性のインプランテーションを用いて露出されたまたは散乱酸化膜を有する境界面(201)を通して導入する請求項8記載のトレンチキャパシタの製造方法。

【請求項10】 埋め込みコンタクト(250)を形成するためにドープ物質を気相ドーピングを用いて境界面(201)を通して導入する請求項8記載のトレンチキャパシタの製造方法。

【請求項11】 前記気相ドーピングを800°Cと1200°Cとの間の温度および500Paおよび50kPaの間の圧力で実施する請求項9から10までのいずれか1項記載のトレンチキャパシタの製造方法。

【請求項12】 前記埋め込みコンタクト(250)の境界面(201)にトンネル層(205)を形成する請求項9から11までのいずれか1項記載のトレンチキャパシタの製造方法。

【請求項13】 前記トンネル層(205)を酸化物、窒化物および／または酸窒化物によって形成する請求項12記載のトレンチキャパシタの製造方法。

【請求項14】 導電性の埋め込みブリッジを前記導電性のトレンチ充填物(161)の上に形成する請求項8から13までのいずれか1項記載のトレンチキャパシタの製造方法。

【請求項15】 前記トレンチ(108)の下側の領域(111)を、法兰ジ形式の形状を形成するために該トレンチ(108)の上側の領域(109)に対して拡幅する請求項8から14までのいずれか1項記載のトレンチキャパシタの製造方法。

【請求項16】 前記埋め込みコンタクト(250)、前記トンネル層(205)および前記導電性の埋め込みブリッジ(162)を、プロセスチャンバから前記サブストレート(101)を一時的に取り出すことなく1つのプロセスで実施する請求項14または15記載のト

ンチキャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アイソレーションカラーを備えたトレンチキャパシタおよびその製造方法に関する。

【0002】

【従来の技術】本発明の基づく問題点と本発明とを以下にDRAMメモリセルで使用されるトレンチキャパシタに関連して説明する。ただし任意のトレンチキャパシタを適用可能である。

【0003】この種のメモリセルは、集積回路（IC）、例えば選択可能なアクセス機能を有するメモリ（RAM）、ダイナミックRAM（DRAM）、シンクロナスDRAM（SDRAM）、スタッフィックRAM（SRAM）、および読み出し専用メモリ（ROM）などで使用されている。他の集積回路はロジック装置、例えばプログラマブルロジックアレイ（PLA）、特定用途向けIC（ASIC）、ミックスロジック／メモリIC（エンベデッドDRAM）または他の回路装置を有する。通常、複数のICが1つの半導体サブストレート、例えばシリコンウェハ上で同時に作成される。処理後ウェハは分割され、ICは複数の個々のチップへ分離される。これらのチップは最終製品としてパッケージングされ、例えば消費者用製品。例えばコンピュータシステム、セルラーフォン、パーソナルディジタルアシスタント（PDA）および他の製品として使用される。説明のために、本発明を個々のメモリセルの形成に関して説明する。

【0004】集積回路（IC）またはチップは電荷の蓄積のためにキャパシタを使用する。電荷を蓄積するためにキャパシタを使用するICの例としてメモリICがあり、例えば選択可能なアクセス機能を有するダイナミックな書き込み／読み出しメモリ（DRAM）のためのチップが挙げられる。その場合キャパシタ内の電荷の状態（“0”または“1”）が1つのデータビットを表す。

【0005】DRAMチップはメモリセルのマトリクスを有しており、このメモリセルは行および列の形に接続されている。通常、行の線路をワード線と称し、列の連路をビット線と称している。データのメモリセルからの読み出し、またはデータのメモリセルへの書き込みは適切なワード線およびビット線を活性化することにより行われる。

【0006】通常の場合、DRAMメモリセルはキャパシタに接続されたトランジスタを有する。このトランジスタは2つの拡散領域を有しており、これらの領域はチャネルにより分離されている。チャネルの上方にゲートが配置されている。電流の流れる方向に依存して、一方の拡散領域をドレインと称し、また他方の拡散領域をソースと称する。ゲートはワード線に接続されており、ド

10

20

40

50

レイン領域はビット線に接続されている。ソース領域はキャパシタに接続されている。適切な電圧をゲートに印加するとトランジスタがオンとなり、電流がソース領域とドレイン領域との間をチャネルを介して流れ、キャパシタとビット線との間の接続が形成される。トランジスタのオフにより、チャネルを介しての電流の流れが遮断されるので、この接続は分離される。

【0007】キャパシタに蓄積された電荷は、時間が経過するにつれて内在的なリーク電流のために減少する。電荷が定められていないレベルへ（閾値の下方に）減少してしまう前に、メモリキャパシタをリフレッシュしなければならない。

【0008】メモリ装置を縮小するという飽くなき追求では、比較的大きな密度と、比較的小さな特徴サイズ、すなわち小さなメモリセル面積とを有するDRAMの構想が進められている。小さな表面領域を有するメモリセルを製造するために、小さな構成素子、例えばキャパシタが使用される。ただし小さなキャパシタを使用するとメモリキャパシタンスの低下が生じ、そのためにメモリ装置の動作能力および使用可能性が好ましくない影響を受けることがある。例えばセンスアンプはメモリセル内の情報を確実に読み出すために充分な信号レベルを必要とする。メモリキャパシタンスとビット線キャパシタンスとの比は、この信号レベルを定める際に重要である。メモリキャパシタンスがきわめて小さい場合、前述の比が小さくなりすぎ、充分な大きさの信号が形成できなくなる。同様に小さなメモリキャパシタンスは比較的高いリフレッシュ周波数を必要とする。

【0009】通常DRAMで使用されるキャパシタのタイプはトレンチキャパシタである。トレンチキャパシタは3次元の構造を有しており、この構造はシリコンのサブストレート内に構成されている。トレンチキャパシタの高い容量ないしキャパシタンスは、より深くサブストレート内へエッチングすることにより得られる。この場合にはトレンチキャパシタのキャパシタンスの上昇によってメモリセルの占める表面積の増大にはいたらない。

【0010】通常のトレンチキャパシタはサブストレート内へエッチングされたトレンチを有する。このトレンチには典型的にはn⁺でドープされたポリシリコンが充填されており、このポリシリコンは内側のキャパシタ電極として利用される（メモリ電極とも称される）。通常、外側のキャパシタ電極（“埋め込みプレート”とも称される）はn⁺のドープ物質をドーパントソースから、トレンチの下方の領域を包囲するサブストレートの領域内へ拡散されることにより形成される。n⁺でドープされたシリケートガラス、例えばヒ素をドープされたシリケートガラス（ASG）が、ここでのドーパントソースとして使用される。窒素を含むメモリ誘電体は通常2つのキャパシタ電極のアイソレーションに用いられる。

【0011】トレンチの上方の領域に誘電性のカラーが形成され、キャパシタ端子と埋め込みプレートとの間のリーケ电流が阻止される。トレンチの上側の領域のアイソレーションカラーを形成すべき個所のメモリ誘電体は、アイソレーションカラーを形成する前に除去される。例えば窒化物から成るメモリ誘電体の除去により、アイソレーションカラーに沿って生じるパーティカルなリーケ电流が阻止される。

【0012】ただしメモリ誘電体の上側の領域の除去により、ピンホールないしニードル形ホールがアイソレーションカラーの下方部分とメモリ誘電体の上方部分との間の接合部に形成される。このようなピンホールはメモリ誘電体のクオリティを低下させ、トレンチキャパシタから電荷を奪う主要な源となる。これはトレンチキャパシタの保留時間を低下させ、ひいては動作能力に悪影響を及ぼす。

【0013】ピンホールの形成を回避するために、2段階のトレンチエッティングプロセスが提案されている。ここではまずトレンチを部分的に反応性イオンエッティング(RIE)によってアイソレーションカラーの深さまでエッティングする。反応性イオンエッティングは使用されるエッティング用ハードマスクに対して選択性を有する。通常、反応性イオンエッティングのために使用される化学薬品は例えば $NF_3/HBr/He/O_2$ を含む。続いて酸化層がデポジションされ、この酸化層がトレンチのサイドウォールにアイソレーションカラーを形成するようにエッティングされる。反応性イオンエッティングは、例えば化学薬品 $CHF_3/He/O_2$ 、 CHF_3/Ar 、 C_4F_8/Ar または CF_4 を使用する場合、シリコンに対して選択性を有する。トレンチの残りの領域はアイソレーションカラーの形成後にエッティングされる。メモリ誘電体はアイソレーションカラーの上方、およびトレンチサイドウォールの下側の領域の上方に形成される。この手法はメモリ誘電体の上側の領域を除去する必要性を低減し、ピンホールの形成を防ぐ。

【0014】このような2段階のトレンチ形成プロセスはピンホールを回避する助けとなるが、シリコンを除去するための第2の反応性イオンエッティングのステップでアイソレーションカラーの過度の浸食が発生することがある。この種のアイソレーションカラーの劣化によりリーケ电流が生じる。さらにアイソレーションカラーはエッティング用ハードマスクとしてトレンチの形成のための第2の反応性イオンエッティングのステップの間利用される。アイソレーションカラーはトレンチの下方の領域をカラーの内径と等しい直径にする。このためトレンチの下方の領域が、カラーの外径とほぼ等しい直径を有する上方の領域よりも小さくなる。このことはキャパシタのキャパシタンスが低減されてしまうため望ましくない。

【0015】図6に関連して通常のDRAMメモリセルを説明し、また図7から図13に関連して図6のDRA

Mメモリセルの製造方法を説明する。

【0016】図6のトレンチキャパシタは誘電体層164を有しており、この誘電体層はトレンチキャパシタ160のメモリ誘電体として利用され、アイソレーションカラー168の上方では段状に形成されている。このため誘電体層164の上側の領域つまりアイソレーションカラー168上に存在する領域を除去する必要性は低減される。これによりアイソレーションカラー168と誘電体層164の上方縁部との間の接合部にニードル形ホールが形成されることが回避される。さらにトレンチ108の下側の領域111は幅または直径 W_2 を有しており、この幅は少なくとも上方の領域109の幅または直径 W_1 と等しい大きさを有する。したがってリーケ电流が低減され、高められたキャパシタンスが得られる。

【0017】図6にはトレンチキャパシタ160が示されており、このキャパシタはDRAMメモリセル100内に具体化実現されている。制約するものではないが、DRAMメモリセル100は導電性の埋め込みブリッジ162(埋め込みストラップ)を有するMINT(merged isolation node trench)セルであってもよい。別のセルコンフィグレーション、例えば表面に配置されるブリッジを有するセルも同様に使用可能である。トレンチ108の典型的な寸法は、例えば256MbのDRAMチップでは $0.25\mu m$ のデザインルールを使用して形成されており、約 $7\mu m \sim 8\mu m$ の深さと、約 $0.25\mu m \times 0.50\mu m$ のトレンチ開口とを有する。

【0018】図6に示されているように、トレンチキャパシタ160はサブストレート101内に形成されている。サブストレート101は例えば第1の導電タイプのドープ物質を低濃度でドープされている。この実施形態ではサブストレート101は低濃度のp型ドープ物質(p-)例えばホウ素Bをドープされている。高濃度にドープされたp型サブストレート(p+)を使用することも同様に可能である。例えばエピタキシャルに形成されたp+/p-サブストレートを使用することができる。このようなサブストレートは、典型的な $2\mu m \sim 3\mu m$ の厚さのp-エピタキシャル層の場合、約 $10^{19} cm^{-3}$ のドープ物質濃度を有する。ホウ素の濃度は約 $1.5 \times 10^{16} cm^{-3}$ である。p型ウェル(図示されていない)は隣接するメモリセルのアイソレーションのために設けられている。このp型ウェルのドープ物質濃度は約 $5 \times 10^{17} cm^{-3}$ から $8 \times 10^{17} cm^{-3}$ である。

【0019】この実施形態では、2段階のトレンチエッティング法で形成される上述の通常のトレンチキャパシタ160に比べて、トレンチ108の下側の領域111が上側の領域109の幅または直径 W_1 にほぼ等しい幅または直径 W_2 を有する。埋め込みプレート165はトレンチ108の下側の領域を包囲する。図示されているように、埋め込みプレート165はトレンチ108の上側の領域109を部分的にオーバラップする。埋め込みブ

レート165は外側のキャパシタ電極として使用される。トレンチ108内に導電性のトレンチ充填物161が内側のキャパシタ電極として配置されている。導電性のトレンチ充填物161は典型的には第2の導電タイプのドープ物質をドープされたポリシリコンである。例えば導電性のトレンチ充填物161は高濃度にn型ドープ物質、例えばヒ素AsまたはリンPをドープされて(n+)である。1つの実施形態では導電性のトレンチ充填物161は高濃度にヒ素Asをドープされている。このヒ素の濃度は約 10^{19} cm^{-3} から 10^{20} cm^{-3} である。

【0020】誘電体層164はキャパシタ電極を分離している。この実施形態では誘電体層164はアイソレーションカラー168の内側のサイドウォールと、トレンチ108の下側の領域111のサイドウォールとを覆っている。誘電体層164は例えば窒化物または窒化物／酸化物から成る。酸化物／窒化物／酸化物、または他の誘電体層、または誘電体層の積層体、例えば酸化物、窒化酸化物またはNOONの積層体も同様に使用可能である。

【0021】キャパシタの埋め込みプレート165と、DRAM内の他のキャパシタとの接続は埋め込みウェル170を介して行われ、このウェルは第2の導電タイプのドープ物質を有する。この実施形態では埋め込みウェル170は、n型ドープ物質例えばヒ素AsまたはリンPのインプランテーションによって形成されている。埋め込みウェル170の濃度は約 $1 \times 10^{17} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ である。埋め込みウェル170を同様にn型のエピタキシャル層から形成して、基準電圧に接続してもよい。DRAM内のキャパシタの埋め込みプレート165を共通の基準電圧に接続することにより、誘電体層164内の最大の電場が低減され、これにより信頼性が向上する。この実施形態では基準電圧はビット線の最低の電圧と最高の電圧の中央に位置しており、このため通常は給電電圧の1/2または $V_{DD}/2$ に相応する。ただし他の基準電圧、例えばグラウンド電位も同様に使用可能である。

【0022】導電性の埋め込みブリッジ162は導電性のトレンチ充填物161の上方に設けられている。導電性のトレンチ充填物161のドープ物質がサブストレート101内へ拡散され、埋め込み形のコンタクト250ひいてはキャパシタ端子を形成する。このキャパシタ端子はトランジスタ110をトレンチキャパシタ160に接続する。

【0023】アイソレーションカラー168はトレンチ108の上側の領域に形成されており、埋め込みプレート165の上側まで延在している。図示されているように、アイソレーションカラー168はサブストレート101の表面の幾分下方に引き込まれており、導電性の埋め込みブリッジ162を収容する。アイソレーションカラー168は誘電性の材料から形成される。この実施形

態ではまず熱酸化層が形成され、これに統いてTEOS層がデポジションされる。アイソレーションカラー168は導電性の埋め込みブリッジ162から埋め込みプレート165へのリーク電流を阻止するかまたは低減する。1つの実施形態ではカラーは約 $1.2 \mu\text{m}$ の深さであり、20nmから90nmの厚さである。

【0024】トレンチアイソレーション180はトレンチ108の上側の領域109に設けられており、DRAMメモリセルをマトリクス状の他のセルから分離し、隣接するキャパシタ間のブリッジ形成を阻止する。図示されているようにトレンチアイソレーション180はトレンチ108の一部の領域にオーバラップし、残りの領域を露出させる。このためトランジスタ110とトレンチキャパシタ160との間に電流が流れる。この実施形態ではトレンチアイソレーション180は公称的にはトレンチ幅の約1/2を覆う。トレンチアイソレーションは導電性のブリッジ162から隣接する導電性ブリッジへのリーク電流を阻止するか、または低減する。トレンチアイソレーションの深さは約 $0.25 \mu\text{m}$ である。

【0025】この実施形態では、導電性の埋め込みブリッジ162とサブストレート101との間に境界面201が存在しており、また導電性のトレンチ充填物161と導電性の埋め込みブリッジ162との間に付加的な境界面200も存在している。これについては後述の実施形態でもう一度詳細に説明する。

【0026】トランジスタ110はゲート112、ドレイン領域113、およびソース領域114から成る。ドレイン領域113およびソース領域114はn型ドープ物質、例えばヒ素AsまたはリンPを有する。ソース領域114は埋め込み形のコンタクト250に接続されている。ワード線120に接続されているゲート112はポリシリコン層から成る。典型的にはポリシリコンにはn型ドープ物質またはp型ドープ物質がドープされている。付加的に金属シリサイド層(図示されていない)がポリシリコン層の上方に形成されており、これによりゲート112の層の抵抗が低減される。ポリシリコンおよびケイ化物はしばしば“ポリサイド”と称される。

【0027】ゲート112は窒化層で覆われ、この窒化層はエッチング用マスクとしてワード線のアイソレーションのために使用される。付加的にサイドウォール酸化物(図示されていない)およびコーティングが使用されて、ワード線120が分離される。コーティングは例えば窒化物または他の適切な材料を含む。コーティングも同様にエッチングストップとして縁部なしのコンタクト183を形成する間使用される。縁部なしのコンタクトはドレイン領域113とビット線185との間の接続を形成する。アイソレーション層189は例えばBPSG、または他の誘電体材料、例えば酸化物から成るが、これはビット線185をドレイン領域113およびソース領域114から分離する。

【0028】通過するワード線120'はトレンチアイソレーション180の上方に形成される。通過するワード線120'はトレンチ108からトレンチアイソレーション180および厚いコーティング酸化物を介して分離されている。この実施形態では、延在しているワード線の縁部はほぼトレンチのサイドウォールに適合している。このようなコンフィグレーションは折り返し形ピット線アーキテクチャと称される。別のコンフィグレーション例えばオープン形構造またはオープン形／折り返し形構造も同様に使用可能である。

【0029】前述のように、第1の導電タイプはp型であり、第2の導電タイプはn型である。本発明は、p型のポリシリコンがn型のサブストレート内に形成されているトレンチキャバシタに対しても同様に使用可能である。さらにサブストレート101、ウェル170、埋め込みプレート165、および他のDRAMメモリセルの構成素子を不純物元素によって高濃度にまたは低濃度にドープすることができ、それぞれ所望の電気的特性が得られる。

【0030】第1の導電のタイプはp型であり、第2の導電のタイプはn型であるが、DRAMメモリセルの形成は、n型サブストレート内でp型のポリシリコンが充填されたトレンチ108を用いる場合も同様に可能である。またバーティカルトランジスタまたは他のタイプのメモリセルレイアウトを使用することもできる。

【0031】図7から図13には図6のDRAMメモリセルの製造方法の実施形態が示されている。

【0032】図7によればサブストレート101が予め作成されており、その上にDRAMメモリセルが作成される。サブストレート101の主たる表面は重要ではなく、任意の適切な配位、例えば(100)、(110)、または(111)を使用可能である。この実施形態では、サブストレート101はp型のドープ物質、例えばホウ素Bを低濃度にドープされて(p-)いる。ホウ素Bの濃度は約 $1 \times 10^{16} \text{ cm}^{-3}$ ～ $2 \times 10^{16} \text{ cm}^{-3}$ である。

【0033】サブストレート101はn型にドープされた埋め込みウェル170を有する。埋め込みウェル170はリンPまたはヒ素Asをドープ物質として有している。この実施形態ではマスクがパターン化され、埋め込みウェル170が規定される。n型のドープ物質はこの場合、サブストレート101の埋め込みウェル170内へ注入される。埋め込みウェル170はp型ウェルをサブストレート101から分離するために使用され、同様にキャバシタの埋め込みプレート165間の導電性のブリッジを形成する。インプランテーションの濃度とエネルギーは、約1.5 MeVで約 $> 1 \times 10^{13} \text{ cm}^{-2}$ である。これに代えて埋め込みウェル170はインプランテーションおよびこれに続くシリコンエビタキシャル層の成長によってサブストレート表面の上方に形成される。

こうした技術はBronner et al.による米国特許第5250829号明細書に記載されている。

【0034】基礎構造スタック107がサブストレート101の表面に形成される。基礎構造スタック107は例えば基礎構造スタックの酸化層104および基礎構造スタックのトップ層105を有する。基礎構造スタックのトップ層105は続くプロセスに対する研磨済み層またはエッチングストップとして使用され、例えば窒化物を有する。基礎構造スタックのトップ層105の上方にハードマスク層106が設けられている。このハードマスク層106は例えばTEOSから成る。他の材料例えばBSGも同様にハードマスク層として使用可能である。付加的にアンチリフレクションコート(ARC)を使用してリソグラフィ時の分解能を向上させることができる。

【0035】ハードマスク層106は通常のフォトリソグラフィ技術を用いてパターン化され、これによりトレンチ108を形成すべき領域102が規定される。このステップはフォトレジスト層のデポジション、および所望のスクリーンを用いたフォトレジスト層の選択的な露光の段階を有する。フォトレジストは現像され、ポジティブレジストを使用するかネガティヴレジストを使用するかに依存して露光された領域または露光していない領域が除去される。基礎構造スタック107の露光された領域はサブストレート101の表面までエッチングされる。反応性イオンエッチングのステップ(RIE)により深いトレンチ108が形成される。

【0036】アイソレーションカラー用の犠牲層152が続いてウェハの上方にデポジションされ、トレンチ108が充填される。アモルファスなシリコンも同様に使用可能である。1050°Cから1100°Cまでの温度で安定性を有し、かつ窒化物または酸化物に対して選択的に除去可能な別の材料のタイプも同様に使用可能である。アイソレーションカラー用犠牲層152は後に除去されるので、犠牲層と称する。典型的には本来の酸化層151が形成され、この酸化層はトレンチがアイソレーションカラー用犠牲層152によって充填される前に、トレンチのサイドウォールをコーティングする。本来の酸化層151は典型的には約0.3 nm～5 nmの厚さである。

【0037】図8に示されているようにアイソレーションカラー用犠牲層152は次に、形成すべきカラーの下部側まで除去される。このアイソレーションカラー用犠牲層152の除去は、例えば化学的機械的研磨(CMP)、化学的ドライエッティング(CDE)または反応性イオンエッティングを用いた平坦化処理を含み、これによりアイソレーションカラー用犠牲層152の表面と基礎構造スタック107の表面とがコプレーナに形成される。反応性イオンエッティングが行われると、アイソレーションカラー用犠牲層152はトレンチ108内で沈下

11

する。化学的ドライエッティングを使用してアイソレーションカラー用犠牲層152をトレンチ108内へ切り欠くことも同様に可能である。ただし有利にはアイソレーションカラー用犠牲層152は平坦化され、個々のステップにおけるCDEステップまたはRIEステップにより典型的にはサブストレート表面から0.5 μmから2 μmだけ低くなっている。

【0038】誘電体層はウェハの上方にデポジションされ、基礎構造スタック107およびトレンチのサイドウォールを覆う。誘電体層はアイソレーションカラー168を形成するために使用される。この誘電体層は例えば酸化物から成る。この実施形態では誘電体層は、熱酸化物から成る層を成長させ、さらに酸化層を化学的蒸着法(CVD)例えばプラズマアシストのCVD(PECVD)または低圧CVD(LPCVD)によりデポジションされることにより、TEOSを用いて形成される。CVD酸化物は熱処理ステップにより緻密化される。酸化層は充分に厚く10nmから50nmであるため、パーティカル方向のリーク電流を回避できる。これに代えて誘電体層が熱酸化物から成る層を有するように構成してもよい。

【0039】別の実施形態では誘電体層はCVD酸化物から形成される。CVD酸化物の形成後、酸化物の緻密化のための熱処理ステップが行われる。この熱処理ステップは例えばAr、N₂、O₂、H₂O、N₂O、NO、またはNH₃雰囲気中で行われる。酸化用の雰囲気、例えばO₂またはH₂Oは、CVD酸化物を用いて熱酸化層を形成するために使用される。酸素は雰囲気中から熱酸化層を形成するためのCVD酸化物を通じてサブストレートの境界面で拡散する。このため有利には、所望に応じてCVD酸化物をデポジションの前に熱酸化のステップを行う必要なしに、熱酸化物を形成することができる。典型的にはこの熱処理は約1000°Cから約1100°Cの温度で約0.5時間から約3時間の長さで行われる。

【0040】さらに図8に関連して、誘電体層は例えば反応性イオンエッティングによりエッティングされ、アイソレーションカラー168が形成される。反応性イオンエッティングのための化学剤は、酸化物がアイソレーションカラー用犠牲層152と窒化物から成るハードマスク層106とに対して選択的にエッティングされるように選択される。反応性イオンエッティングにより誘電体層が基礎構造スタックの上表面およびトレンチ108の底部から除去される。誘電体層はシリコンのサイドウォール上にとどまり、アイソレーションカラー168を形成する。図4のbに示されているように、アイソレーションカラー168の上側の領域は容易に浸食され、傾斜した上方部分を形成する。

【0041】図9によれば、アイソレーションカラー用犠牲層152はトレンチ108の下側の領域111から除去される。このアイソレーションカラー用犠牲層152

10

12

の除去は有利にはCDEにより行われる。本来の薄い酸化層151が典型的には露出されたトレンチサイドウォールの上に存在している。この本来の薄い酸化層151は、CDEエッティングのストップとして利用される。CDEエッティングステップでは例えばNF₃+Cl₂を化学薬品として使用して行われ、シリコンまたはポリシリコンが酸化物に対して比較的高い選択性でエッティングされる。これによりポリシリコンの除去は本来の薄い酸化層151をエッティングストップとして使用して可能となる。例えばアイソレーションカラー用犠牲層152を形成するポリシリコンの除去のための約4000:1の選択性は、トレンチ108から本来の酸化層151をエッティングストップ層として使用して求められる。

【0042】別の実施形態ではCl₂含有物を用いるCDEステップが使用され、シリコンまたはポリシリコンエッティングの酸化物に対する選択性が高められる。約12sccmの流速の場合、酸化物の効果的なエッティングレートが0となり、ポリシリコンのエッティングレートは約2μm/minのオーダとなる。これにより本来の酸化層151を効果的なエッティングストップとしてアイソレーションカラー用犠牲層152の除去のために使用することができる。典型的にはこの本来の酸化層151の厚さは約0.5nmから3nmである。

【0043】これに代えてウェットエッティング例えばKOHまたはHF:HNO₃:CH₃COOHをアイソレーションカラー用犠牲層152の除去の際に使用することができます。ただしKOHを使用すると、Kによるトレンチサイドウォールの汚染が生じることがあり、このため付加的な洗浄ステップが必要となる。反応性イオンエッティングも同様に異方性であるので、アイソレーションカラー用犠牲層152の除去の際に使用可能である。アイソレーションカラー用犠牲層152の除去のための反応性イオンエッティングに対する適切な化学薬品はSF₆/NF₆/HB_rを含む。酸化物または窒化物に対してポリシリコンを選択的にエッティングする適切な化学薬品は、例えばNF₃/HB_rまたはCF₄/O₂またはCF₄/O₂/Cl₂である。

【0044】酸化物または窒化物に対するポリシリコンの反応性イオンエッティングの選択性は平坦な表面ではほぼ100:1であるが、パーティカルな表面では約200:1以上に上昇する。有利にはイオンの運動のパーティカル方向のために反応性イオンエッティング中に上昇する。ポリシリコンは酸化物または窒化物に対してパーティカルな表面で高い選択性を有することにより、アイソレーションカラー168の上側の領域のみが浸食される。しかもその際に、アイソレーションカラー168がサブストレート表面の下方以外の個所では浸食されないので、問題が発生しない。

【0045】アイソレーションカラー犠牲層152の除去後、n型のドープ物質例えばヒ素AsまたはリンPを

有する埋め込みプレート165が外側のキャパシタ電極として形成される。アイソレーションカラー168はインプランテーションマスクとして利用され、これによりアイソレーションカラー168の下方の領域のみがドープされる。ドープ物質の濃度は約 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ である。埋め込みプレート165を形成するために、PH₃またはAsH₃を用いる気相ドーピング、プラズマドーピング、プラズマ液浸イオンインプランテーション(PIII)が使用される。このような技術は例えば、Ransom et al., J. Electrochemical. Soc. Band 141, Nr. 5 (1994) 1378頁以降、および米国特許第4937205号明細書に記載されている。

【0046】アイソレーションカラー168をアイソレーション用のマスクとして使用するイオンインプランテーションも同様に可能である。これに代えて埋め込みプレート165を、ドープされたシリケートガラス例えばASGをドーパントソースとして使用して形成することができる。ドープされたシリケートガラスをドーパントソースとして使用することは例えば、Becker et al., J. Electrochemical. Soc., Band 136 (1989) 3033頁以降に記載されている。ドープされたシリケートガラスを使用する場合、シリケートガラス層は埋め込みプレート165の形成後に除去される。

【0047】図10によれば誘電体層164はウェハ上にデポジションされ、この層は基礎構造スタック107の表面およびトレンチ108の内部を覆っている。誘電体層164はメモリ誘電体としてキャパシタ電極の分離に使用される。1つの実施形態では誘電体層164がNOシートのスタックを包囲している。NOシートのスタックは窒化層をデポジションすることにより形成され、この層は再酸化される。窒化層は例えば熱窒化およびCVD窒化物により約5nmの厚さで形成される。窒化層は例えば約900°Cの温度で再酸化される。窒化層の再酸化により窒化層の厚さは限界まで高められる。別のタイプの誘電体のシートスタック例えば酸化物-窒化物-酸化物(ONO)または酸化物-窒化物-酸化物-窒化物(ONON)も同様に使用可能である。また同様に薄い酸化物、窒化物または窒化された酸化シートを使用することもできる。

【0048】導電性のトレンチ充填物161はウェハの表面にデポジションされ、これにより基礎構造スタック107が覆われ、またトレンチ108がポリシリコンによって充填される。これは例えばCVDまたは他の周知の技術によって行われる。図示されているように、導電性のトレンチ充填物161はコンフォーマルにn型のドープ物質例えばリンPおよびヒ素Asでドープされる。別の実施形態では導電性のトレンチ充填物161はヒ素Asをドープされたポリシリコンである。ヒ素の濃度は約 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ である。導電性のトレンチ充填物161は内側のキャパシタ電極とし

て使用される。これに代えて導電性のトレンチ充填物161をアモルファスのシリコンから形成してもよい。この材料はその場的(in situ)にドープしてもよいし、また連続的にドープしてもよい。

【0049】図11によれば、導電性のトレンチ充填物161は例えばCDEステップまたはRIEステップにより、適切な化学薬品例えばNF₃/Cl₂またはNF₃/HBrまたはSF₆を使用して切り欠かれる。別の実施形態では導電性のトレンチ充填物161はほぼハードマスク106の高さまで切り欠かれる。これにより有利には基礎構造スタックの酸化層104が続くウェットエッティングプロセス中に保護される。アンダカットが問題にならない場合には、ポリシリコンは埋め込みブリッジ162の深さまで切り欠かれる。

【0050】図12によれば、誘電体層164の導電性のトレンチ充填物161の上方に存在する部分はウェットエッティングによって、例えばDHFおよびHF/グリセロールを用いて除去される。ハードマスク層106は同様にウェット化学的にBHFで除去される。またこのためにCDEステップを行うこともできる。ハードマスク層106はプロセスシーケンスで予め、例えばトレンチ108の形成後に除去してもよい。図示されているように、アイソレーションカラー168および誘電体層164も同様に幾分トレンチ108内へ向かって低くなっている。

【0051】図13に示されているように、導電性の埋め込みブリッジ162が形成される。導電性の埋め込みブリッジ162を形成するために、例えばエッティングにより導電性のトレンチ充填物161がトレンチ108内へ切り欠かれる。典型的にはこのために反応性イオンエッティングが使用される。不活性領域はトレンチアイソレーション180を形成すべき領域である。セルの不活性領域は通常のフォトリソグラフィ技術により、有利には反応性イオンエッティングを用いて異方性エッティングされる。

【0052】新たに図6に関して示されているように、トレンチアイソレーション180はトレンチ108の一部とオーバラップしており、これにより導電性の埋め込みブリッジ162の一部がデポジションされる。続く熱処理ステップでドープ物質が導電性のトレンチ充填物161から上方および外側へ、導電性の埋め込みブリッジ162を通じて拡散され、埋め込み形のコンタクト250を形成する。トレンチアイソレーション180の深さは約0.25μmである。典型的にはトレンチアイソレーション180を形成する不活性領域は、アイソレーションカラー168の上表面の下方までエッティングされる。1つの実施形態では不活性領域はサブストレート表面の下方約0.25μmだけエッティングされる。

【0053】不活性領域がエッティングされた後、フォトレジスト層およびARC層が除去される。フォトレジス

ト層またはARC層が残らないことを保証するために、洗浄ステップを使用することができる。酸素がシリコンのサイドウォールおよびポリシリコンのサイドウォール内へ拡散するのを回避するために、(図示されていない)付加的なコーティングが設けられており、これにより不活性領域が保護される。このコーティングは例えば窒化物である。典型的にはパッシベーション用酸化物は露出されたシリコンの上に、窒化コーティングの形成前に熱的に成長する。窒化コーティングは例えば化学的な低圧蒸着法(LPCVD)により形成される。

【0054】誘電体材料はサブストレートの表面に形成される。この誘電体は例えばSiO₂を有する。別の実施形態では誘電体はTEOSである。高密度のプラズマ(HDP)酸化物または他のアイソレーション材料を使用することができる。誘電体層の厚さは充分に大きく構成され、不活性領域を充填するためのトレチアイソレーション180を形成できる。誘電体層は典型的にはコンフォーマルであるので、平坦化手法、例えば化学的機械的研磨が使用される。このような手法は例えば、Nesbit et al., A 0.6 μm² 256Mb Trench DRAM Cell With Self-Aligned Buried Strap (BEST), IEDM 93頁～627頁に記載されている。サブストレート101の表面はポリシングされて、トレチアイソレーション180および窒化物から成る基礎構造スタックのトップ層105がほぼ平坦に同じ高さで形成される。

【0055】基礎構造スタックのトップ層105は例えばウェット化学的なエッティングにより除去される。ウェット化学的なエッティングは酸化物に対して選択性を有する。基礎構造スタックの酸化層104は同様にこの点で、シリコンに対して選択性を有するウェットエッティングにより除去される。基礎構造スタックの酸化層104の除去後、酸化層がウェハの表面に形成される。この酸化層はゲート犠牲層103と称され、後続のイオンインプランテーションのために散乱のための酸化物として使用される。

【0056】DRAMメモリセルのnチャネルトランジスタ110のためのp型ウェルの領域を規定するために、フォトレジスト層が酸化層の表面にデポジションされ、適切にパターン化されて、これによりp型のウェル領域が露出される。図示されているようにp型のドープ物質、例えばホウ素Bがウェルの領域に注入される。ドープ物質は充分に深く注入されるので、トランジスタ110内のパンチスルーは回避され、層の抵抗も低減される。ドープ物質のプロフィルは、所望の電気的特性、例えば所望のターンオン電圧V_{th}が得られるように選定されている。

【0057】さらに同様にnチャネルの給電用回路装置のためのp型のウェルも形成される。相補的な金属酸化物シリコン(CMOS)の構成素子となる相補的なウェルのためにn型ウェルが形成される。n型ウェルの形成

10

20

30

40

50

には、付加的にフォトリソグラフィステップとインプランテーションステップが必要であり、これによってn型ウェルが規定され、形成される。p型ウェルの場合と同様に、n型ウェルのプロファイルも所望の電気的特性が得られるように選定されている。ウェルの形成後、ゲート犠牲層103が除去される。

【0058】それから、トランジスタ110のゲート112を形成するための種々の層が形成される。ここではゲート酸化物として使用されるゲート酸化層の形成、ポリシリコン層の形成、およびコーティング用窒化層の形成を含む。典型的にはポリシリコン層は金属シリサイド例えばWSi_xの層を含んでおり、この場合形成されたシリサイドによって層の抵抗が低減される。種々のゲート層がパターン化されて、トランジスタ110のゲート112が形成される。ゲート112のサイドウォールはこの場合例えば熱酸化により分離される。

【0059】通過するワード線120'は典型的にはトレチ108上に形成され、このトレチとはトレチアイソレーション180を介して分離されている。ドレン領域113およびソース領域114はn型ドープ物質、例えばリンPまたはヒ素Asのインプランテーションにより形成される。1つの実施形態ではリンPはソース領域114およびドレン領域へ注入される。その用量およびエネルギーは、所望の動作特性を保証するドープ物質のプロファイルが得られるように選定される。ソース領域114およびゲートを有するドレン領域113の拡散および配向を改善するために、窒化物の間隔保持部ないしスペーサ(図示しない)を使用することができる。ソース領域114は埋め込みコンタクト250に接続されており、このためキャバシタがトランジスタ110に接続される。

【0060】アイソレーション層189はウェハの表面の上方に形成され、ゲート112およびサブストレート表面を覆う。アイソレーション層189は例えばBPSGを含む。別の誘電体材料、例えばTEOSも同様に使用可能である。図示されているように、縁部なしのコンタクト183がエッティングされて、ドレン領域113が露出される。縁部なしのコンタクト183はこの場合導電性の材料、例えばn⁺でドープされたポリシリコンによって充填される。ビット線185はアイソレーション層189の上方に形成されて、ドレン領域113を有するコンタクトが縁部なしのコンタクト183の上方に形成される。

【0061】図14には、別の方の実施形態に相応した通例のDRAMメモリセルの別の例が示されている。そこに示されているように、トレチ108の下側の領域111の幅W₂ないし直徑は、上側の領域109の幅W₁ないし直徑より大きい。W₁を大きくすると、トレチキャバシタ160のキャバシタンスは高められる。このような構造を実現するために、図8で説明したアイソ

レーションカラー犠牲層152が例えばNF₃/Cl₂を使用したCDEによって除去される。シリコンを選択的にエッティングするための別の化学薬品も使用可能である。付加的に、SF₆, NF₃/HBrを使用した反応性イオンエッティングまたはKOHを使用したウェットエッティングが適用可能である。トレンチ108の下側の領域111は例えばCDEエッティングによって拡幅される。トレンチ198の拡幅は例えば、T.Ozaki et al著, 0.228 μm² Trench Cell Technologies woth Bottle-shaped Capacitor for 1 Gigabit DRAMs, IEDM 95, pp. 661 または米国特許第5336912号明細書(S. Ohtsuki)に記載されている。CDEエッティングに対するエッティング材料は、それがトレンチサイドウォールにおける薄い自然の酸化膜も除去するように選択されている。このことは、酸化物に対するエッティングの選択性を低減するために、Cl₂の流速を低減することによって、または化学薬品の変更によって実現することができる。

【0062】ウェットエッティングまたはCDEは次のように制御されるようになっている：アイソレーションカラー犠牲層152を除去し、一方拡幅を、隣接するトレンチ内に延在しないまたは隣接するトレンチに接触しないように制限する。トレンチ108の下側の領域111の拡幅は、隣接するトレンチ間の最小間隔の約50%、有利には隣接するトレンチ間の最小間隔の20~30%より僅かである。隣接するトレンチ間の最小間隔は普通、最小のリソグラフィーサイズFであるので、拡幅は最小のリソグラフィーサイズFの50%以下に制限されてるべきである。このようにして例えば、下側の直径が最小のリソグラフィーサイズFの2倍より小さいフランジ形状のトレンチが提供される。溝の拡幅は有利には、最小のリソグラフィーサイズFの約20~40%である。

【0063】エッティングトップ層として用いられるアイソレーションカラー犠牲層152および自然の酸化層151の除去後、埋め込みプレート165を形成することができる。約1000~1100°Cの温度においてAsH₃またはPH₃による気相ドーピング、AsまたはPのイオンプランテーション、プラズマドーピングまたはプラズマ侵入・イオンプランテーションのような、埋め込みプレート165を形成するための種々の技術が可能である。それからドーピングされたポリシリコンがデポジションされて、導電性のトレンチ充填物161が形成される。ドーピングされたポリシリコンは、中空室172を形成してトレンチ108の下側の領域111を充填する。中空室172はトレンチ108の下側の領域111にあるので、中空室は装置の後続の処理または機能性に影響を及ぼさない。例えば、半球形状のシリコン粒子(halbkugelartigen Siriziumkoernern=HS G)をトレンチ108に形成するまたは誘電体層164のデポジ

10

20

30

40

50

ションの前にトレンチサイドウォールを凹凸加工する等の、トレンチキャパシタンスを高めるための別の技術也可能である。

【0064】図15には、トレンチキャパシタ160が製造により、トレンチ108の下側の領域111とトレンチ108の上側の領域109との間に別の境界面202を有している、別の通例のDRAMメモリセルが示されている。その際この境界面202は、2段階のポリシリコン充填プロセスから生じるものである。即ち、トレンチにまずをポリシリコン充填し、それからポリシリコンをアイソレーションカラー168を形成するために埋め込みかつそれからアイソレーションカラー168の形成後最後に再び充填する。この形式の方法は、例えば米国特許第5360758号明細書(Bronner et al.)に記載されている。

【0065】図16には、別の方の実施形態に相応する別の通例のDRAMメモリセルが示されている。図6に関連して示されているように、このDRAMメモリセルのこの実施形態では、境界面201および付加的な境界面200がある。付加的な境界面200は導電性のトレンチ充填物161と導電性の埋め込みブリッジ162との間にありかつ境界面201は導電性の埋め込みブリッジ162と、サブストレート101が形成されている埋め込みコンタクト250との間にある。

【0066】2つの境界面200および201は高められた電気抵抗を有し、従ってDRAMセルの書き込み・読み出しサイクルの速度を緩慢にする。付加的な境界面200は普通、ポリシリコン・ポリシリコン境界面であり、かつ境界面201は普通、シリコン単結晶・ポリシリコン境界面である。

【0067】図16に示されている、DRAMメモリセルの実施形態は、導電性のトレンチ充填161とサブストレート101に埋め込みコンタクト250との間の境界面201しか有していない。導電性の埋め込みブリッジ162はこの実施形態では設けられていない。

【0068】従ってこの実施形態は、トランジスタ110とトレンチキャパシタ160との間に比較的僅かな熱導電接触抵抗を有しており、このために、読み出し・書き込みサイクル時のトレンチキャパシタ160からおよびトレンチキャパシタ160への電荷の転送の際の脱落の可能性は低減され、言い換えると読み出し・書き込みサイクルの一層高い速度が可能になる。

【0069】境界面201は、先行する湿式前洗浄の自然の酸化物(例えば0.3~0.8 nm)であってよく、またはそれは、例えば普通0.3~2 nmの領域にある厚みを有する熱酸化物またはCVD酸化物、酸窒化物のような適当に成長させたまたはデポジションされた層であってよい。H₂、HF蒸気を用いたin-situ前洗浄またはUHV温度処理ステップも、境界面201の形成の前に実施することができる。

19

【0070】境界面201の特別な意味は、埋め込みコンタクト250の境界面201におけるコントロールできない再結晶化および欠陥形成の回避にある。この実施形態の重要な利点は、埋め込みコンタクトに対して境界面201だけがあるという点にある。というのは、トレンチ充填は埋め込みコンタクト250の形成後に実施されるからである。従って、読み出し・書き込みサイクルに対する抵抗は著しく小さく、かつプロセス歩留まりが向上される。

【0071】図17ないし図20には、図16のD.R.A 10 Mメモリセルの製造のための方法の実施例が示されている。

【0072】図9のプロセス段階に続く図17に示されているように、ハードマスク層106が除去され、トレンチ108およびサブストレート表面に誘電体層164が被着されかつトレンチ208に犠牲材料、ここでは例えばホトラッカが充填されている。

【0073】図18に示されているように、まず、犠牲材料210がCDEエッチングを用いて沈んだ位置に下げられ、かつこれに続いてアイソレーションカラー168の上側の領域がこのカラー上に存在する誘電体層164と一緒に沈まされて、サブストレート101中の境界面201における埋め込みコンタクト250を規定する。このことも、犠牲材料210およびサブストレート101に対して選択的であるCDEエッチングまたは相応のウエットエッチングを用いて行うことができる。

【0074】犠牲材料としてホトラッカを使用する代わりに、光ドーピングされたポリシリコン層（nドーピングされた）ないしアモルファスシリコン層が使用される。これらは、CDEを用いて境界面201の領域における酸化物、窒化物および更にドーピングされていないサブストレート101に対して選択的にエッチングすることができる。その際利点は、沈み込ませる際の制御能力が改善される点にある。

【0075】任意選択的に、アイソレーションカラー168を沈下させた後、誘電体層164を突出している犠牲材料210のサイドウォールから除去することができる。

【0076】図19に示されているように、引き続いて犠牲材料210が例えばCDEエッチングまたはウエットエッチングによって除去される。

【0077】引き続いて、図20を参照して、H₂温度処理ステップまたはHF蒸気ステップまたはUHV温度処理ステップを用いて前洗浄が行われる。従来の湿式化学的な前洗浄（例えばBHF等）も可能である。

【0078】任意選択的に、境界面201にトンネル層205が形成される。例えば、トンネル層205は薄い酸化物または窒化物または酸窒化物であるが、その前の前洗浄の有無に拘わらず、つまり、in situで、即ちその際ウェハはクリーンルーム雰囲気に曝されない。

50

20

【0079】統いて、トレンチ108を充填しつつトレンチを該トレンチ108の上側の領域109にある境界面201に接続するために導電性のトレンチ充填物161のデポジションが行われる。導電性のトレンチ充填物161は、既述のように、通例、10¹⁹ cm⁻³～10²¹ cm⁻³の濃度を有するAs、Pによってドーピングされている。更に、導電性のトレンチ充填物161は平坦化され、かつ例えば、サブストレート表面の下方約50nmの所まで埋め込まれて、図20に示されているプロセス段階に到達する。引き続くプロセスステップは、図13の実施形態との関連において説明したとおりである。

【0080】これら2つの最後の実施形態の特別な利点は、境界面201、ポリシリコン・単結晶シリコンしか有していない埋め込みコンタクト250を有するトレンチキャバシタ160が形成されるという点にある。これに対して通例は少なくとも境界面201および付加的な境界面200が設けられている。

【0081】これら2つの実施形態の特別なステップは、誘電体層164のデポジションの前にアイソレーションカラー168を形成することおよび埋め込みコンタクト250を犠牲材料の埋め込みプロセスによって規定することである。カラー（酸化層）、誘電体（窒化物）およびサブストレート（シリコン）に対して選択的に除去可能である犠牲材料210は、例えば、ホトラッカまたはAsまたはPドーピングされたポリシリコンからなっていることができる。これらは、CDEを用いて、酸化物、窒化物およびドーピングされていないまたはpドーピングされたシリコンに対して選択的にエッチング可能である。

【0082】説明したすべての公知の実施形態において問題なのは、トレンチキャバシタ160の接続を、埋め込みコンタクト250と導電性の埋め込みブリッジ162ないし導電性のトレンチ充填物161との間の境界面201において形成することである。この接続領域に障害もしくは不純物があると、熱導電接触抵抗が高くなりまたはサブストレート中の転位が極端に生じやすくなり、2つのキャバシタ電極の間に漏れ電流が生じ、ひいては書き込み・読み出しサイクル時にエラーが生じる可能性が大きくなる。

【0083】エラーおよびこれに結び付いてくる故障を回避するために、境界層201にトンネル層205を組み込むことが提案される。この層は例えば、熱酸化物、窒化物または酸窒化物から成っていてよい。

【0084】薄いトンネル層205を使用すると、この層は普通は1100℃の後続の熱処理の際に（例えばトレンチアイソレーションのエッチング酸化）破れ易く、これによりコントロールされないシリコン再結晶およびこれに応じて、境界面201に転位が生じることになる。このために、選択トランジスタの短チャネル効果またはパンチスルー（拡散が著しく強くなる）および保持

21

時間（リテンション・タイム、即ち記憶保持時間）の所望しない低減が生じることになる。

【0085】後続の熱処理において破れない厚いトンネル層205を使用すると、このトンネル層は拡散を抑圧しつつ高められる熱導電接触抵抗のために接触接続が劣化し、これに関連して、書き込み・呼び出しサイクルにエラーが発生するようになる。

【0086】それ故に、トランジスタ110の接触接続を所望通りコントロールできないと言う理由から、境界面201を介する拡散による従来の解決法は満足できない。

【0087】

【発明が解決しようとする課題】従って、本発明の課題は、コントロール性が改善された接触接続を有している、アイソレーションカラーを有する改善されたトレンチキャバシタを提供することである。本発明の別の課題は、相応の製造方法を提供することである。

【0088】

【課題を解決するための手段および発明の効果】本発明によればこの課題は、請求項1に記載の、アイソレーションカラー168を有するトレンチキャバシタ160によって解決される。

【0089】更にこの課題は、請求項6に記載の方法によって解決される。

【0090】有利な実施の形態はそれぞれの従属請求項の対象である。

【0091】本発明のトレンチキャバシタ160ないし本発明の製造方法は、公知の一連の解決策に比べて、境界面201での抵抗が著しく低減されているという利点を有している、殊に、種々異なった保持時間に基づく故障は低減されておりかつ同時に、プロセス歩留まりが高められている。メモリセル100を小さくする可能性は高くなっている。というのは、トランジスタ110との電気的なコンタクトが、導電性のトレンチ充填物161からAsおよびPの拡散によって実現されるのではなく、直接のドーピング（イオンプランテーション、PLADまたはP III I、気相ドーピング）によって実現されかつて、導電性の埋め込みブリッジ162とサブストレート101との間の埋め込みコンタクト250での接合深度を100nm以上から50nm以下に低減することができるからである。従って、トランジスタ110の短チャネル効果およびパンチスルーアーは回避される。

【0092】本発明が基礎としている思想は、境界面201を介するインプランテーション（ないしプラズマドーピングまたは気相ドーピング）および、後続のプロセスステップの期間に破れず、従って転位形成を可能にしない最適なトンネル層205の形成にある。

【0093】厚さを同じとした場合トンネル電流が比較的高くなるため、窒化物バリヤ（バリヤの高さ2eV）の方が酸化物バリヤ（バリヤの高さ3.5eV）より有

20

利である。比較的薄い酸窒化物層の形成も可能である。

【0094】酸化物または酸窒化物は、熱的に形成することができるかまたは（L P）CVDデポジションまたは熱成長とCVDデポジションとの組み合わせまたは熱的な緻密化を伴うCVDデポジションを用いて形成することができる。

【0095】

【実施例】次に本発明を図示の実施例につき図面を用いて詳細に説明する。

【0096】各図において、同じまたは機能の同じ素子には同じ参照番号が付されている。

【0097】図1には、本発明の方法の第1実施形態に相応する、本発明によるDRAMメモリセルの実施例が示されている。

【0098】図1を参照するに、DRAMメモリセルのこの実施例において、埋め込みコンタクト250は有利には、斜めのインプランテーション（例えばAsまたはP）によって製造されておりかつ導電性の埋め込みブリッジ162およびサブストレート101との間の境界面201に設けられている。埋め込みコンタクト250は205（窒化物、酸窒化物または酸化物）の成長の前に実現される。択一的に、斜めのインプランテーションに代わって、例えばプラズマドーピング（PLAD）またはプラズマ浸漬イオンプランテーション（PIII）または気相ドーピングのような等方性ドーピングプロセスを使用することもできる。PLAD法またはPIII法の方が有利である。というのは、これらは非常に薄い接合の形成を可能にするからである。

30

【0099】トンネル層205の形成後のインプランテーションも可能である。この場合、トンネル層205はインプランテーションに対する散乱層として用いられる。

40

【0100】一般に、この実施例により、導電性の埋め込みブリッジ162からサブストレート101への接合に対するコンタクト領域の接合深度の低減が可能になり、このことは短チャネル効果および当該トランジスタ110のパンチスルーアーの回避のために非常に重要である。

50

【0101】図2のa, bには、図1のDRAMメモリセルを製造するための本発明の方法の実施例が示されている。

【0102】導電性の埋め込みブリッジ162の被着の前の、図11のプロセス段階に相応する図2のaに示されているように、インプランテーションの期間のサブストレートシリコンの損傷を回避するために例えば5nm厚の散乱酸化物を任意選択的にデポジションした後、例えばAs、PまたはSb、有利にはAsによる斜めのインプランテーションが実施されて、埋め込みコンタクト250ないし250'が形成される。両側がインプランテーションされる理由は、2つの隣接するトレンチキャ

23

パシタ160のうち通例は、左側のトレンチキャバシタは左のトレンチ側に接続されかつ右側のトレンチキャバシタは右のトレンチ側に接続され、その際これらはトレンチアイソレーション180で分割されるようになっているからである。

【0103】散乱酸化物が被着された場合、引き続きそれは例えばウェットエッティングBHFによって除去される。

【0104】引き続いて、前洗浄（例えば湿式化学（DHF, BHF）またはin situ (H_2 ブリベーク、HF蒸気、HF/NH₃蒸気、UHVアニール）が行われ、かつそれから境界面201にトンネル層205が、例えば0.5~2nm、有利には0.8~1.5nmの領域の厚さを有するシリコン窒化物またはシリコン酸窒化物またはシリコン酸化物の熱成長（780°C、30min、NH₃, 1Torr）によって実現される。その際電子トンネル電流に対して3.5eVを有する酸化物より2eVという僅かなバリヤ高さのため窒化物の方が有利である。

【0105】(LP) CVDデポジションも可能であるが、熱的な生成、またはCVDデポジションと熱的な緻密化との組み合わせも有利である。

【0106】引き続いて、図2のbに示されているように、トレンチ108に導電性のトレンチ充填物161が充填され、これは平坦化されかつ下げられかつ最終的に、in situで $1 \times 10^{19} \text{ cm}^{-3}$ より大きいAsまたはPドーピングされたポリシリコンの形の導電性の埋め込みブリッジ162が形成される。

【0107】これに、図13との関連において説明した方法が続く。

【0108】同様に、等方性のインプランテーションも可能であり、その際この場合、導電性のトレンチ充填物161の上端部もインプランテーションされる。

【0109】更に、インプランテーションの代わりに、気相ドーピング（例えば、縦型炉においてAsH₃またはPH₃による900~1100°C、1min、760TorrまたはAsH₃またはPH₃による900~1100°C）を実施することができるが、この場合有利には、埋め込みコンタクトを形成するために拡散バリヤとして作用するおそれがある散乱酸化物は使用されない。

【0110】インプランテーション、PLADまたはPIIが特別浅く埋め込みコンタクト250の生成を可能にする一方、in situで散乱酸化物のない気相ドーピングをトンネル層205を形成する前に実施することができ、これにより生産性が高められるという利点が得られる。

【0111】埋め込みコンタクト250のin situ生成に対するプロセスの実施が図22に示されている。その際xで示されている軸は時間を表しつつyで示されている軸は温度を表している。

50

24

【0112】ステップS1において、炉に前処理されたサブストレート101がローディングされる。

【0113】第2のステップS2において、水素雰囲気中での任意選択的な熱処理が行われる（ブリベーク）。このステップは、複数のウェハに対して1つの縦型炉において約950°Cおよび1Torrにおいて約30minの間、実施することができるか、または個別ウェハ・クラスタツールにおいて約950°Cおよび20Torrにおいて約1minの間、実施することができる。

【0114】これに続くステップS3において、気相ドーピング、ひいては埋め込みコンタクト250の生成が実施される。特別な実施例において、気相ドーピングを複数のウェハに対して1つの縦型炉において約950°Cおよび1TorrにおいてAsH₃(Arsin)雰囲気下で約30minの間、実施することができる。第2の実施例において、気相ドーピングを、個別ウェハ・クラスタツールにおいて約1100°Cおよび100Torrにおいて約1minの間、実施することができる。

【0115】ステップS4において、埋め込みコンタクト205の境界面201に、酸化物、窒化物または酸窒化物から成るトンネル層205が形成される。例えば、熱的な窒化物トンネル層を縦型炉において複数のウェハに対して780°Cおよび1TorrでNH₃(Ammonia)雰囲気下で形成することができる。択一的に、熱的な窒化物トンネル層を個別ウェハ・クラスタツールにおいて800°Cおよび100TorrでNH₃(Ammonia)雰囲気下で形成することができる。

【0116】ステップS5において、例えばnドーピングされたポリシリコンから成る導電性の埋め込みブリッジ162が形成される。この埋め込みブリッジの形成は例えば、CVDデポジションの出発ガス(Precursor)としてのSiH₄(Silane)を用いて550°Cおよび0.6Torrで実施される。続いて、形成されたポリシリコンが時々AsH₃(Arsin)によってドーピングされ、その結果ドーピングされたポリシリコンが生じる。択一的に、ドーピングされるポリシリコンはCVDデポジションを用いて2つの出発ガス(Preursor) SilaneおよびArsinを使用して製造される。ポリシリコンはこの方法では、 $10^{19} \text{ cm}^{-3} \sim 10^{20} \text{ cm}^{-3}$ のドープ剤濃度が得られる。

【0117】ステップS6において、サブストレートが炉から取り出される。埋め込みコンタクト250を形成する際のin situプロセス実施の利点は、クリーンルーム雰囲気によりサブストレート101の汚染が回避されること、個別プロセスシーケンスの厳密な時間的な関連付けが回避され、これにより生産性が高められかつローディングおよびアンローディングをしなくてすむことで可能になるスループットが向上することである。

【0118】この実施例では更に、境界面201における抵抗が著しく低減されるという利点が生じる。殊に、

メモリセルの種々異なったメモリ時間に基づく故障が低減されかつプロセス歩留まりが高められることになる。メモリセルを小さくする可能性は高くなっている。というのは、トランジスタ110との電気的なコンタクトは導電性のトレンチ充填物161から成るAsおよびPの拡散によって実施されるのではなく、イオンプランテーション、PLAD、PIIIまたは気相ドーピングによって実施され、従って導電性の埋め込みブリッジ162とサブストレート101との間の埋め込みコンタクト250における接合深度を100nmより上から50nm以下に低減することができるからである。従って、トランジスタ110および寄生のバーチカルトランジスタの短チャネル効果およびパンチスルーが回避可能である。

【0119】浅いインプランテーションとの組み合わせにおいて、境界面210における十分に深いトンネル層205を導電性の埋め込みブリッジ162の拡散を妨げるためと、導電性の埋め込みブリッジ162における転位形成を妨げるためとに組み合わせたために、トランジスタ110とトレンチキャパシタ160との間に特別申し分ない埋め込みコンタクト250が形成される。

【0120】図3には、本発明の方法の第2の実施例による、本発明の方法のDRAMメモリセルの別の実施例が示されている。

【0121】図3に示されているように、この第2の実施例は図16に示された公知の実施形態に基づいて形成されており、その際第1の実施例の場合と同様に、埋め込みコンタクト250はインプランテーション、プラズマドーピングおよび/または気相ドーピングにより拡散によって製造される。

【0122】図4のa, bには、図3のDRAMメモリセルを製造するための本発明の方法の第2の実施例が示されている。

【0123】図19に示されているプロセス段階に相応する、図4のaを参照するに、第1の実施例との関連において説明したように、斜めのインプランテーションが実施される。引き続いて、図4のbに示されているように、導電性のトレンチ充填が行われ161かつこの導電性のトレンチ充填物161のがサブストレート表面下方約50nmに沈められる。

【0124】引き続くステップは、図13に関連して説明したように経過する。

【0125】この関連において更になお、第1および第2の実施例は、製造的に、トレンチ108の下側の部分111とトレンチ108の上側の部分109との間に別の境界面202、即ちアイソレーションカラー168の下面を有している(図15参照)トレンチキャパシタにも適用可能であることを述べておく。

【0126】この種の構造は図5に示されている。即ちここには、本発明の方法の第3の実施例による本発明のDRAMメモリセルの別の実施例が示されている。

10

20

50

【0127】本発明をここまで有利な実施例に基づいて説明してきたが、本発明はこれに限定されるものではなく、多種多様な形式および方法において変形可能である。

【0128】殊に、挙げられた材料は例示にすぎずかつ適当な特性を有する別の材料を使用することができる。同じことは、上述した洗浄およびドーピング、熱的な成長および/またはデポジションプロセスに対しても当てはまる。

【0129】トンネル層205に対して殊に酸化層または酸窒化層が挙げられたが、普通は1100°Cの熱的なプロセスステップの期間に破けずかつ出来るだけ高いトンネル電流を可能にする層であれば何でもよい。

【0130】また、このことはプロセスステップの順序に関して言えることだが、図示の実施例は相互に組み合わせ可能である。

【図面の簡単な説明】

【図1】本発明の方法の第1実施例による、本発明のDRAMメモリセルの実施例の概略断面図である。

【図2】図1のDRAMメモリセルを製造するための本発明の方法の第1実施例の断面略図である。

【図3】本発明の方法の第2実施例による、本発明のDRAMメモリセルの別の実施例の概略断面図である。

【図4】図3のDRAMメモリセルを製造するための本発明の方法の第2実施例の断面略図である。

【図5】本発明の方法の第3実施例による、本発明のDRAMメモリセルの別の実施例の概略断面図である。

【図6】通例のDRAMメモリセルの例の概略断面図である。

【図7】図6のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図8】図6のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図9】図6のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図10】図6のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図11】図6のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図12】図6のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図13】図6のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図14】通例のDRAMメモリセルの別の例を示す概略断面図である。

【図15】通例のDRAMメモリセルの別の例を示す概略断面図である。

【図16】通例のDRAMメモリセルの別の例を示す概略断面図である。

【図17】図16のDRAMメモリセルを製造するため

27

の方法の1例を示す断面略図である。

【図18】図16のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図19】図16のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図20】図16のDRAMメモリセルを製造するための方法の1例を示す断面略図である。

【図21】通例のDRAMメモリセルの別の実施例の概略断面図である。

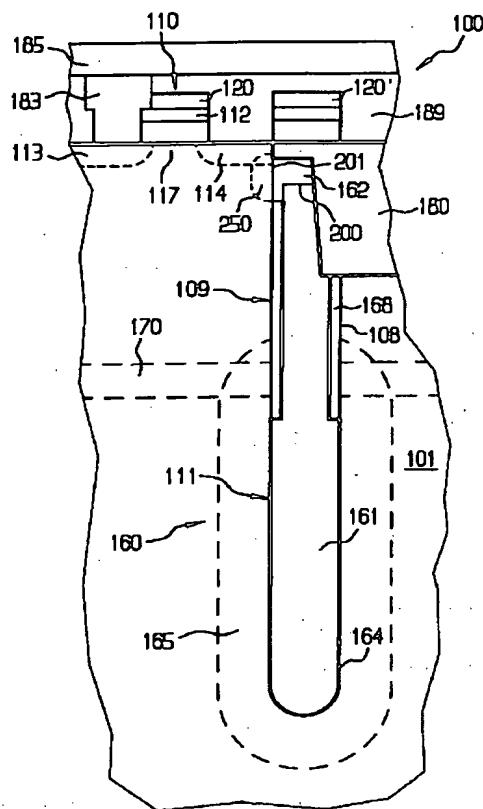
【図22】埋め込みコンタクトを形成するための in situ プロセスシーケンスを示す線図である。

* 【符号の説明】

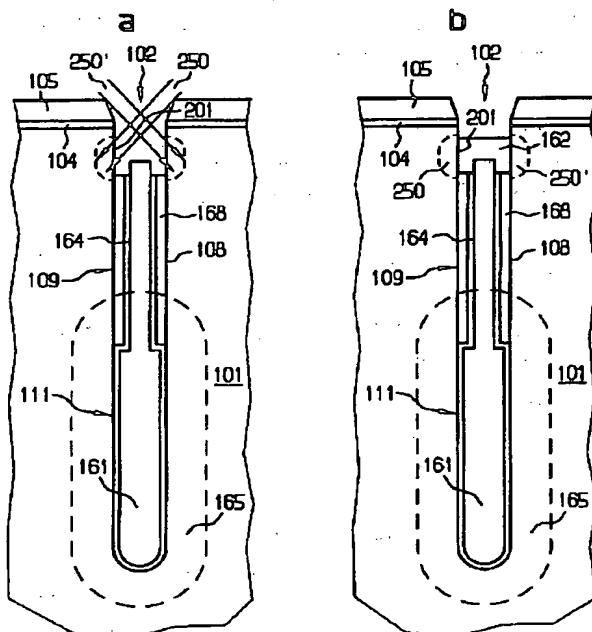
100 メモリセル、 101 サブストレート、 108 トレンチ、 109 トレンチの上側の部分、 110 トランジスタ、 111 トレンチの下側の部分、 160 トレンチキャパシタ、 161 内側のキャパシタ電極としての導電性のトレンチ充填物、 162 導電性の埋め込みブリッジ、 164 誘電体層、 165 埋め込みプレート、 168 アイソレーションカラー、 170 埋め込みウェル、 200 境界面、 205 トンネル層、 250 埋め込みコンタクト

28

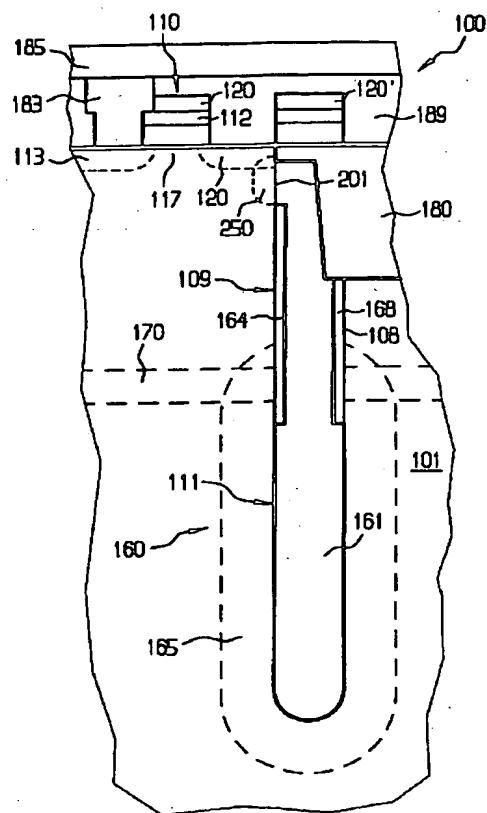
【図1】



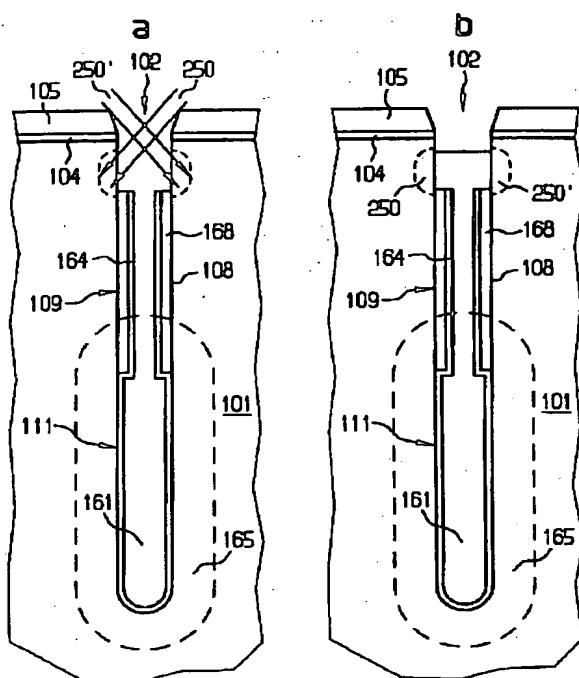
【図2】



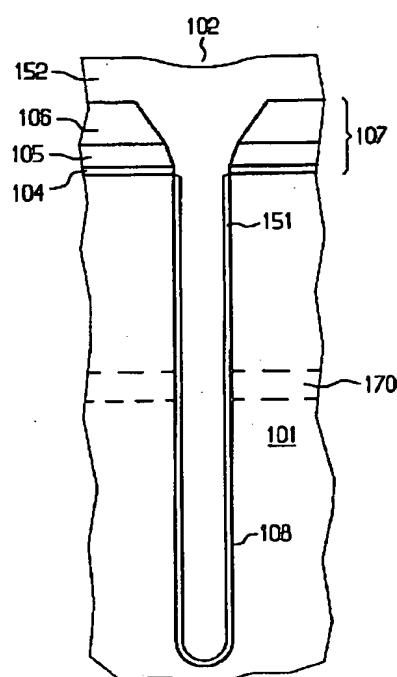
【図3】



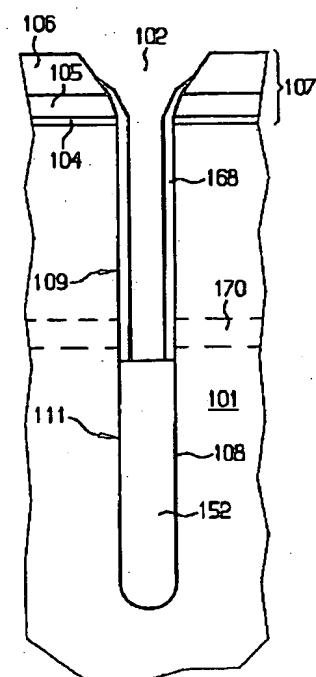
【図4】



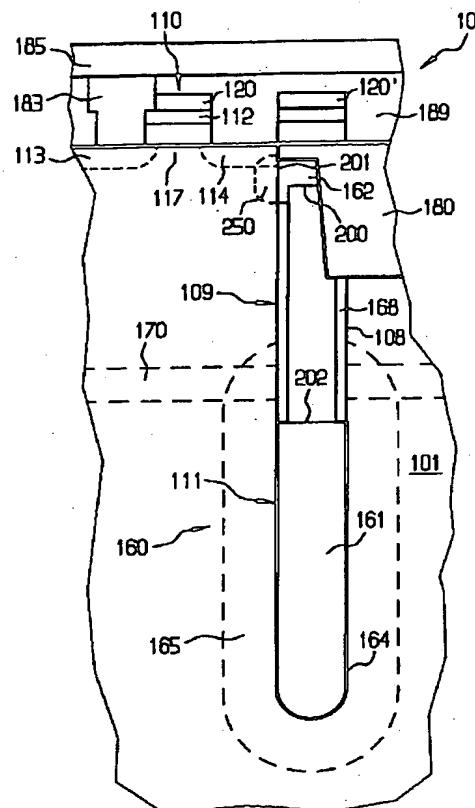
【図7】



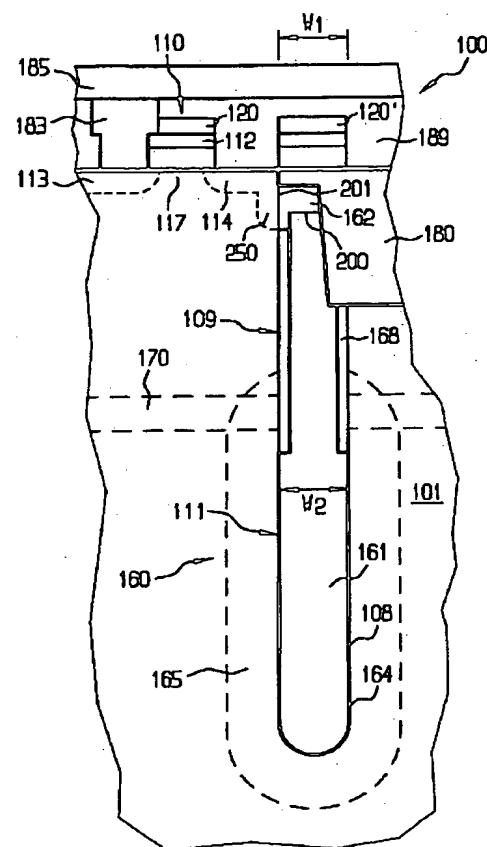
【図8】



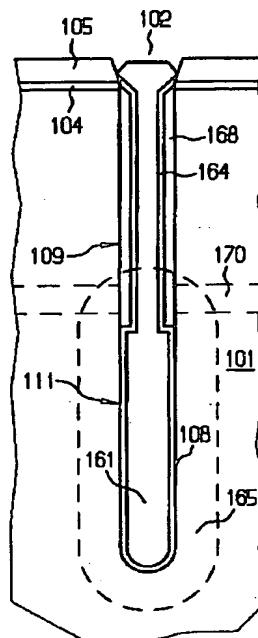
【図5】



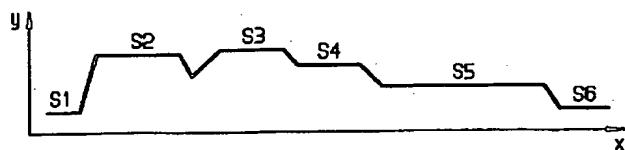
【図6】



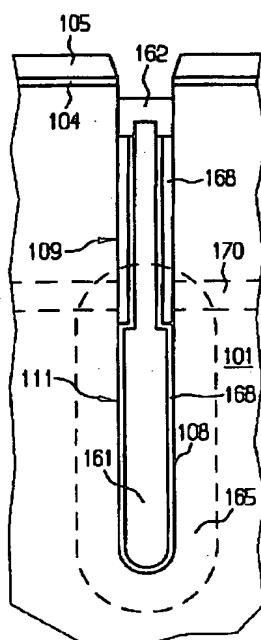
【図12】



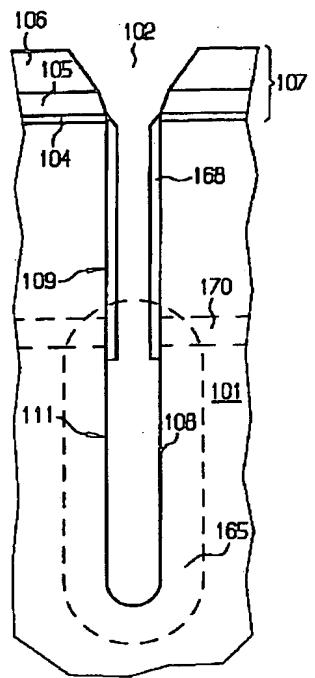
[図2-2]



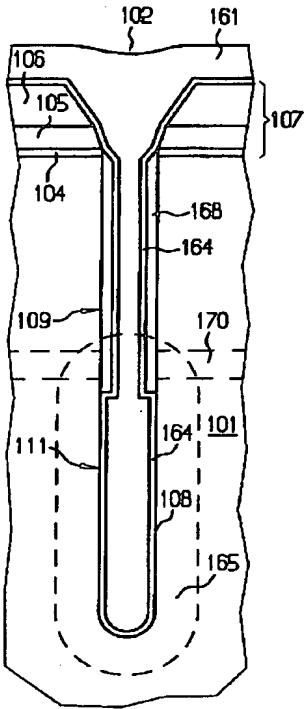
【図13】



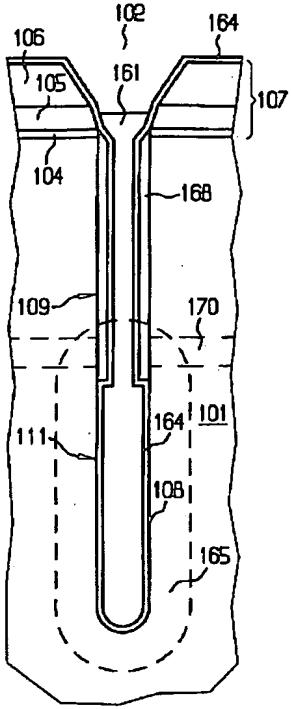
【図9】



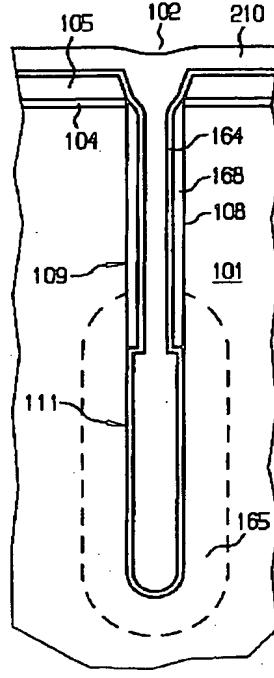
【図10】



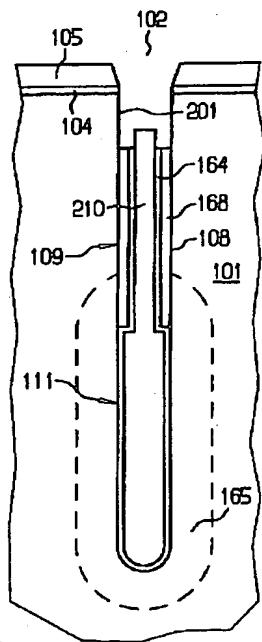
【図11】



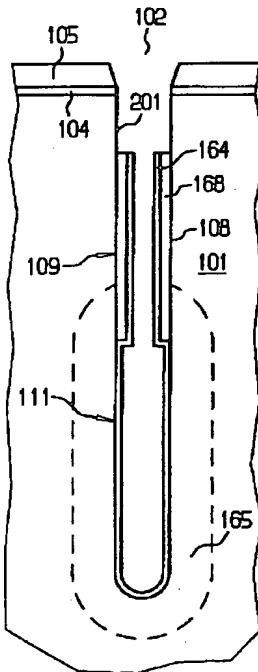
【図17】



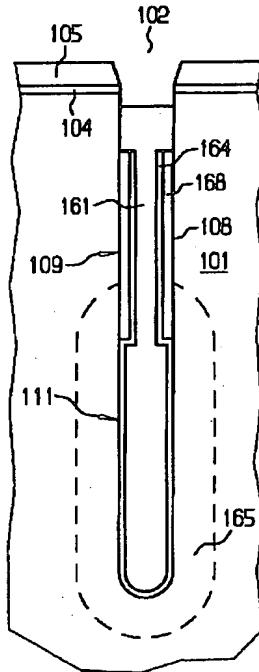
【図18】



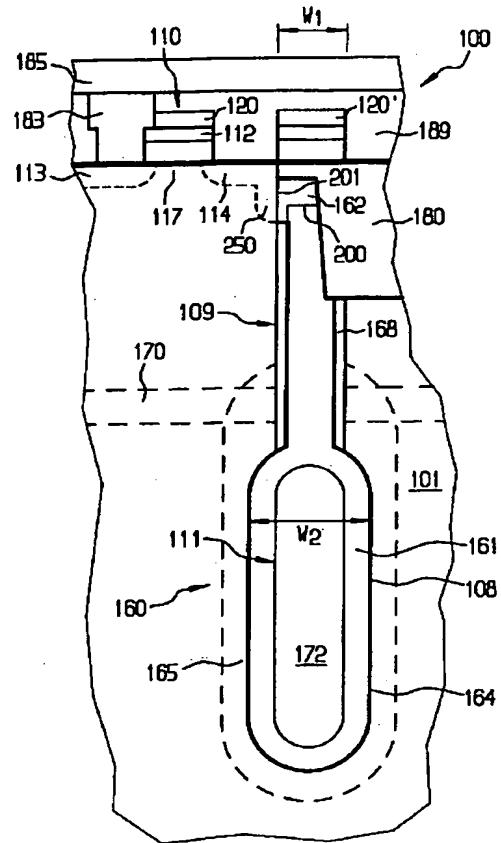
【図19】



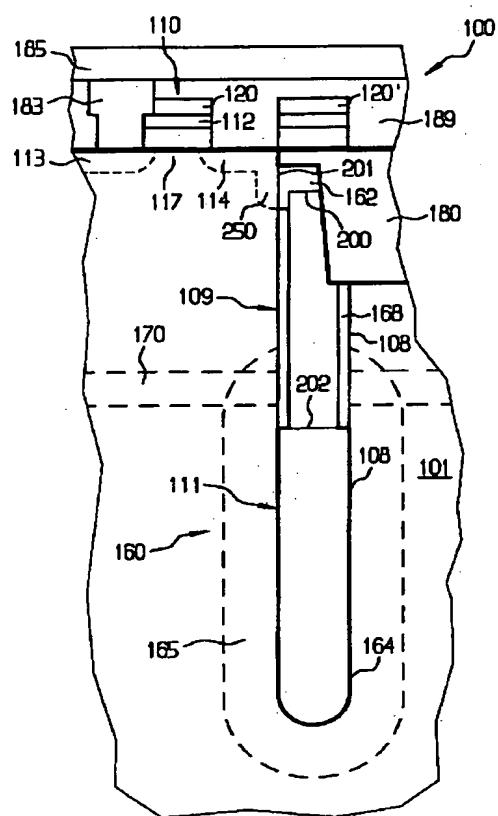
【図20】



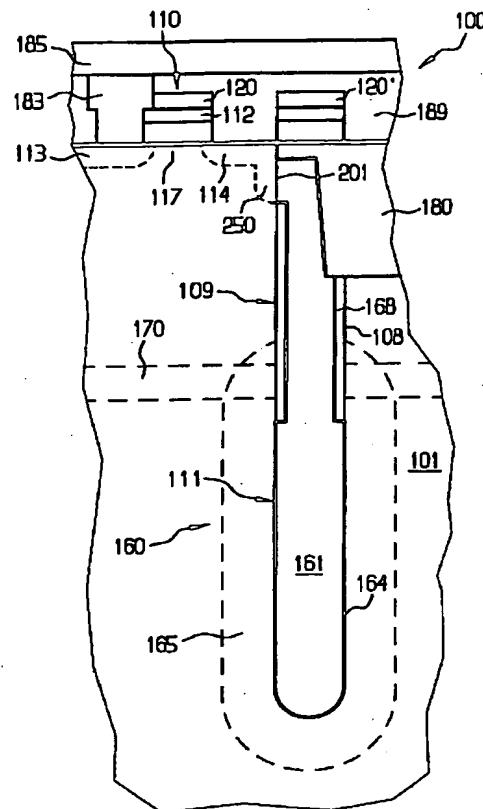
【図14】



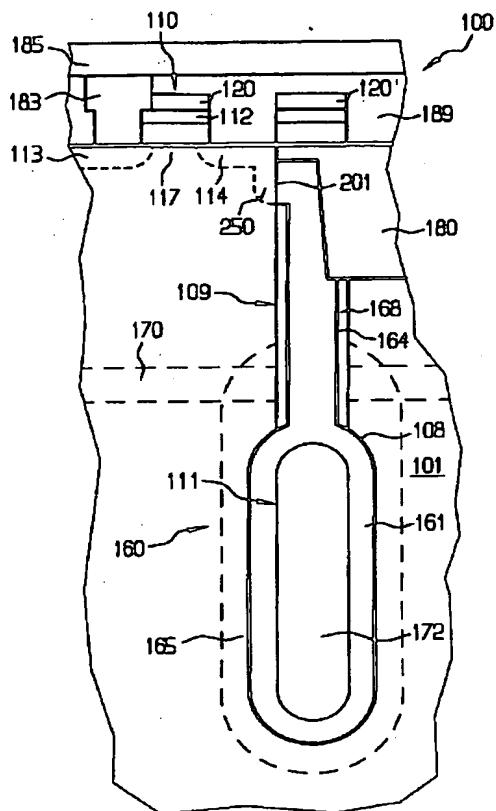
【図15】



【図16】



【図21】



フロントページの続き

(72) 発明者 マーティン シュレムス
ドイツ連邦共和国 ランゲブリュック ブ
ルームシュトラーセ 4エー

(72) 発明者 ユルゲン ファウル
　　ドイツ連邦共和国 ラーデボイル アウグ
　　ストゥスヴェーク 28

(72) 発明者 クラウス-ディーター モアハルト
　　ドイツ連邦共和国 ドレスデン ビショフ
　　スヴェルダーラー・シュトラーセ 7

(72) 発明者 アレクサン德拉・ラムプレヒト
　　ドイツ連邦共和国 ドレスデン ビショフ
　　スヴェーク 26

(72) 発明者 オディール デキエ
　　ドイツ連邦共和国 ドレスデン ピュルガ
　　ーヴィーゼ 26

Fターミナル(参考) 5F038 AC10 AC14 EZ13 EZ15 EZ16

EZ17 EZ20

5F083 AD17 GA02 GA06 JA04 PR03

PR05 PR12 PR36 PR37 PR40